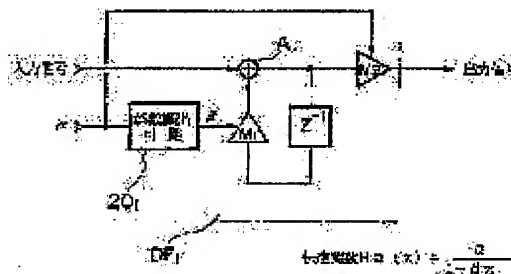


(11)Publication number : 06-061790
(43)Date of publication of application : 04.03.1994

(21)Application number : 04-035423	(71)Applicant : YAMAHA CORP
(22)Date of filing : 21.02.1992	(72)Inventor : KUNIMOTO TOSHIFUMI

(57)Abstract:

CONSTITUTION: An input signal of a filter DF1 is fed to one input terminal of an adder A, and an output signal of the adder A1 is fed to a multiplier input terminal of a multiplier M2 and a delay input terminal of a delay element Z-1. The output signal from the delay element Z-1 is given to the multiplier M1 in which a coefficient β is multiplied with the signal and the product is fed back to another input terminal of the adder A1. On the other hand, a signal fed to a multiplier input terminal of the multiplier M2 is multiplied with a coefficient α and the result of multiplication is outputted externally as an output signal of the digital filter. Thus, each coefficient of a discrete transfer function of the digital filter, especially a coefficient including a nonlinear function term is approximated by one polynomial or more not including an exponential function and a trigonometric function.



[Date of request for examination]	26.09.1994
[Date of sending the examiner's decision of rejection]	15.10.1996
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	
[Date of registration]	
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-61790

(43)公開日 平成6年(1994)3月4日

(51)Int.Cl. ³	識別記号	序内整理番号	F I	技術表示箇所
H 0 3 H 17/02		L 7037-5 J		
G 1 0 H 1/12		8622-5 H		
7/00		8622-5 H		
		8622-5 H	G 1 0 H 7/ 00	5 2 1 S

審査請求 未請求 請求項の数1(全 21 頁)

(21)出願番号 特願平4-35423

(22)出願日 平成4年(1992)2月21日

(71)出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72)発明者 国本 利文

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

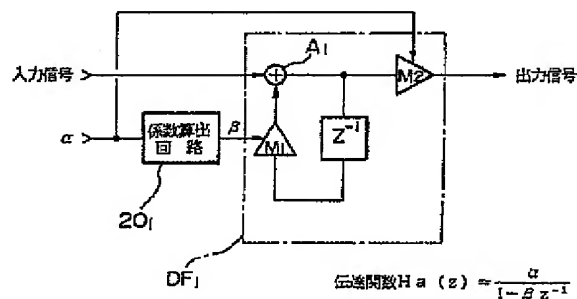
(74)代理人 弁理士 志賀 正武 (外2名)

(54)【発明の名称】 デジタルフィルタ

(57)【要約】

【目的】 複雑な関数計算を行う必要のない、また、予め非線形関数を格納したテーブルを用意しておく必要のないデジタルフィルタを提供すること。

【構成】 アナログフィルタの伝達関数を $s-z$ 変換し、この変換された伝達関数の各係数を、特に非線形関数を含む係数を少なくとも一個以上の多項式にて近似する。この近似された伝達関数の係数 β を、所望のフィルタ特性に基づく情報 α から係数算出回路20が演算し、乗算器 M_1 の乗算係数として供給する。



【特許請求の範囲】

【請求項1】 所定のアナログフィルタの伝達関数と等価な離散伝達関数を有し、この離散伝達関数の一部に非線形関数が含まれるデジタルフィルタにおいて、前記非線形関数は、指数関数および三角関数を含まない一個以上の多項式によって近似されたことを特徴とするデジタルフィルタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、例えば、電子楽器等に用いて好適なデジタルフィルタに関する。

【0002】

【従来の技術】フィルタ特性（カットオフ周波数や、Q値等）を変化させるような場合、アナログフィルタでは、各素子（CR等）の係数とフィルタ特性との関係が比例関係にあるので、直感的にもわかりやすく、フィルタの設計が比較的容易である。一方、デジタルフィルタでは、同時に変化させる係数が多く、またこれら係数とフィルタ特性との関係も複雑なので、直感的にもわかりにくく、フィルタの設計も困難であるという問題があった。

【0003】そこで、このような問題を解決するために、従来より特開昭61-18212号公報に記載されているようなデジタルフィルタが知られている。このデジタルフィルタは、変化させるべき係数を少なくし、また、これら係数とフィルタ特性との関係を単純で直感的に理解しやすくするものであった。

【0004】

【発明が解決しようとする課題】ところで、上述したデジタルフィルタでは、係数が非線形関数（指数関数や三角関数等）で関連付けられることが多い。この結果、所望のフィルタの特性が与えられた場合に、複雑な関数計算を行う必要がある。このような計算を簡単なハードウェアあるいはソフトウェアによって行うことは困難であり、また仮に、行うことができるとしても、非常に長い計算時間を必要とする。したがって、フィルタの特性をリアルタイムに制御させることができないという問題があった。

【0005】そこで、非線形関数の計算結果を予め格納したテーブルを用意しておき、このテーブルを介して係数の算出を行うことが考えられる。この場合、非線形関数の種類だけテーブルを用意しなければならず、乗算係数を計算するための構成が非常に複雑になるという問題が生じた。

【0006】この発明は上記問題に鑑みなされたもの *

$$H_a(s) = \frac{\alpha}{s + \alpha}$$

この伝達関数 $H_a(s)$ に $s-z$ 変換を施して、伝達関数 $H_a(z)$ を求める。以下、この $s-z$ 変換に、標準 z 変換および双線形変換を用いた場合の実施例について

*で、その目的とするところは、デジタルフィルタの伝達関数に含まれる非線形な関係にある係数を、線形な関係にある関数を用いて算出することによって、非線形関数の複雑な計算を行う必要のない、あるいは、前述したようなテーブルを用意しておく必要のないデジタルフィルタを提供することにある。

【0007】

【課題を解決するための手段】この発明は、上記課題を解決するために、所定のアナログフィルタの伝達関数と等価な離散伝達関数を有し、この離散伝達関数の一部に非線形関数が含まれるデジタルフィルタにおいて、前記非線形関数は、指数関数および三角関数を含まない一個以上の多項式によって近似されたことを特徴としている。

【0008】

【作用】上述した構成によれば、デジタルフィルタの離散伝達関数の各係数、特に、非線形関数項を含む係数は、指数関数および三角関数を含まない一個以上の多項式によって近似される。この近似された各係数は、非線形関数の複雑な計算を行うことなく乗除算を用いて演算することができるので、各係数の算出は簡単なハードウェアやソフトウェアによるCPUの計算等によって高速に行うことができる。したがって、フィルタ特性に基づくパラメータ情報を変化させても、この変化に追従させて各係数を算出することができ、デジタルフィルタの特性をリアルタイムに制御させることが可能になる。

【0009】

【実施例】以下、この発明の各実施例について図面を参照して説明する。これらの実施例では、まず、アナログフィルタの伝達関数を $s-z$ 変換し、この変換された伝達関数に含まれる非線形関数項を一個以上の多項式（線形多項式）によって近似する。アナログフィルタには様々な種類があり、また、 $s-z$ 変換にも、標準 z 変換や整合 z 変換等の様々な種類がある。さらに、近似の方法にも、級数展開の近似や微分の差分近似等がある。つまり、これら組み合わせることにより、非常に多くの種類が考えられる。そこで、 $s-z$ 変換と近似方法との組み合わせによるデジタルフィルタの構成について、いくつかの実施例を参照して説明する。

【0010】A: 1次LPF

はじめに、簡単な1次LPF（ローパスフィルタ）に適用した各実施例について説明する。周知のように、アナログフィルタを用いた1次LPFの伝達関数 $H_a(s)$ は、次式によって表すことができる。

【数1】

$$\dots\dots(A1)$$

各々説明する。

【0011】A-1-1: 標準 z 変換による1次LPF（1次近似）

まず、標準 z 変換を用いた第一実施例について説明する。式 (A1) に標準 z 変換を施して、 z の伝達関数に変*

$$H_a(z) = \frac{\alpha}{1 - \exp(-\alpha) z^{-1}}$$

となる。この式において、係数 α は $\alpha = 2\pi \cdot f_c / F_s$ であり、 f_c はカットオフ周波数、 F_s はサンプリング周波数を示す。

【0012】ところで、式 (A2) により示される伝達関数を IIR フィルタにて構成する場合には、前述のように、式 (A2) に含まれる指数関数 $\exp(-\alpha)$ の計算※10

$$\exp(x) = 1 + x + \frac{x^2}{2!} + \frac{x^3}{3!} + \dots + \frac{x^n}{n!} + \dots \quad \dots\dots(A3)$$

このとき、 x の値が十分小さいときには、式 (A3) の1次の項 (第2項) までを用いて近似することができる。★

$$\exp(x) \approx 1 + x$$

と近似することができる。式 (A2) における α が十分に小さいとき、すなわち、カットオフ周波数 f_c がサンプリング周波数 F_s に対して無視できる程に小さいときには、式 (A4) より、 $\exp(-\alpha) \approx 1 - \alpha$ と近似☆

$$H_a(z) = \frac{\alpha}{1 - (1 - \alpha) z^{-1}}$$

【0013】次に、式 (A5) の伝達関数により示されるデジタルフィルタの構成について説明する。図1はこのデジタルフィルタの構成を示すブロック図である。この図に示すように、この実施例は1次の直接型 IIR のフィルタ DF_1 と、係数算出回路 20_1 とから構成される。フィルタ DF_1 には、加算器 A_1 と、乗算係数を各々 β 、 α とする乗算器 M_1 、 M_2 と、サンプリング周波数 F_s の1周期分に等しい遅延時間を有する遅延素子 z^{-1} とが設けられている。この遅延素子 z^{-1} には、例えば、シフトレジスタが用いられる。このフィルタ DF_1 の伝達関数は、 $\alpha / (1 - \beta z^{-1})$ である。

【0014】フィルタ DF_1 の入力信号は、加算器 A_1 の一方の入力端に供給され、さらに、加算器 A_1 の出力信号は乗算器 M_2 の乗算入力端および遅延素子 z^{-1} の遅延入力端に供給される。遅延素子 z^{-1} の出力信号は、乗算器 M_1 において係数 β が乗算されて加算器 A_1 の他方の入力端に帰還される。一方、乗算器 M_2 の乗算入力端に供給された信号には、係数 α が乗算され、この乗算結果がデジタルフィルタの出力信号として外部出力される。

【0015】また、係数算出回路 20_1 は係数 α から係数 β を算出する。図2は、この係数算出回路 20_1 の構成を示すブロック図の一例であり、この図に示すように、係数算出回路 20_1 は1つの加算器 B_1 から構成される。 α は、前述のように所望のフィルタ特性により定められるデータであり、図示せぬデータ供給部より供給され、加算器 B_1 の減算入力端 (-) に供給される。また、加算器 B_1 の加算入力端 (+) には、数値「1」が供給される。これにより、加算器 B_1 、すなわち、係数

*換すると、
【数2】

.....(A2)

※を行うか、あるいは、予めこの指数関数を格納したテーブル用意をしなければならない。そこで、式 (A2) を近似することを考える。一般に、指数関数 $\exp(x)$ を次式のような級数に展開できることは知られている。
【数3】

★すなわち、式 (A3) は、
【数4】

.....(A4)

☆ることができる。これを式 (A2) に用いることによって、標準 z 変換による1次LPFの伝達関数 $H_a(z)$ は、次式のようにになる。
【数5】

.....(A5)

算出回路 20_1 は $\beta = 1 - \alpha$ なる係数 β を算出する。これは、式 (A5) における z^{-1} の係数が $(1 - \alpha)$ であるためである。なお、この場合、係数算出回路 20_1 は $\beta = 1 - \alpha$ となる係数 β を算出することができれば、その構成は問われない。例えば、係数算出回路 20_1 を減算器によって構成しても良い。

【0016】したがって、図1に示すような構成にすることにより、デジタルフィルタの伝達関数を式 (A5) に示すものとすることができる。また、係数 $\exp(-\alpha)$ は $(1 - \alpha)$ と近似されるので、指数関数 $\exp(-\alpha)$ の計算結果を予め格納したテーブルを必要とすることなく、係数算出を行うことができる。この結果、 α (カットオフ周波数 f_c) が連続的に変化しても、この変化に追従して $(1 - \alpha)$ を変化させることができるので、フィルタの特性をリアルタイムに制御させることができる。

【0017】図3(1)、(2)は各々、式 (A5) の伝達関数により示されるデジタルフィルタの構成を、図1に示すものとは別構成にした例である。同図(1)のデジタルフィルタにおいて、その入力信号は加算器 A_2 の加算入力端 (+) に供給される。加算器 A_2 の加算結果は、乗算器 M_3 において係数 α が乗算されて、加算器 A_1 の一方の入力端に供給される。加算器 A_1 の加算結果は、このデジタルフィルタの出力信号として外部出力されるとともに、遅延素子 z^{-1} の遅延入力端に供給される。そして、遅延素子 z^{-1} の出力信号は、加算器 A_2 の減算入力端 (-) と加算器 A_1 の他方の入力端とに各々供給されて、帰還される。

【0018】また、同図(2)のデジタルフィルタに

において、その入力信号は加算器A₁の一方の入力端に供給される。加算器A₁の加算結果は、乗算器M₁において係数αが乗算されてこのデジタルフィルタの出力信号として外部出力されるとともに、遅延素子z⁻¹の遅延入力端に供給される。遅延素子z⁻¹の出力信号は、加算器A₂の加算入力端(+)に供給されるとともに、乗算器M₂において係数αが乗算されて加算器A₃の減算入力端(-)に供給される。そして、加算器A₃の加算結果は加算器A₄の他方の入力端に帰還される。

【0019】図3(1)および(2)に示すように、デジタルフィルタを構成することによって、乗算器M₁、M₂の乗算係数をいずれもαとすることができ、係数の計算を簡略化することができる。したがって、αを乗算係数として乗算器M₁、あるいは乗算器M₂、M₃へ直*

$$\exp(-\alpha) \approx 1 - \alpha + \frac{\alpha^2}{2}$$

.....(A5)

したがって、この実施例の伝達関数H_a(z)は、次式のようにになる。

$$H_a(z) = \frac{\alpha}{1 - (1 - \alpha + \frac{\alpha^2}{2}) z^{-1}}$$

.....(A7)

【0021】次に、その伝達関数が式(A7)により示されるデジタルフィルタの構成について説明する。この場合、デジタルフィルタの構成は、図1に示すものと同じものになるが、係数算出回路20₁は図4に示す係数算出回路20₂に置き換わる。図4は、β = 1 - α + α²/2なる係数βを算出する係数算出回路20₂の一例である。この図に示すように、係数算出回路20₂は加算器B₁、B₂と乗算器C₁、C₂とから構成される。

【0022】まず、αは、加算器B₂の減算入力端(-)、乗算器C₁の一方の入力端、および乗算器C₂の他方の入力端に各々供給される。加算器B₂の加算入力端(+)には「1」が供給される。このため、加算器B₂の加算結果は(1 - α)となって、加算器B₁の一方の入力端に供給される。一方、乗算器C₁においてα²が演算され、乗算器C₂の一方の入力端に供給される。また、乗算器C₂の他方の入力端には、「1/2」が供給される。このため、乗算器C₂の乗算結果は(α²/2)となって、加算器B₁の他方の入力端に供給される。そして、加算器B₁は、加算結果(1 - α)と乗算結果(α²/2)とを加算して、β = 1 - α + α²/2なる係数βを乗算器M₁(図1)に供給する。この結果、このデジタルフィルタの伝達関数は、式(A7)に★

$$H_a(z) = \frac{\alpha}{1 - \frac{2 - \alpha}{2 + \alpha} z^{-1}}$$

となる。この式(B1)に微分の差分近似を施すと、次式のようにになる。

* 接的に供給することによって、フィルタの特性をリアルタイムに制御することができる。

【0020】A-1-2: 標準z変換による1次LPF(2次以上の近似)

上述した例では、フィルタ係数(z⁻¹の項)の近似を1次近似とする場合について説明した。この場合、フィルタ自身の構成を簡略化することができるが、周波数特性の再現性が劣ることがある。そこで、フィルタ係数の近似を2次以上として、周波数特性の再現性を向上させた第二実施例について説明する。まず、式(A3)の2次の項(第3項)までを用い、係数exp(-α)を次式のように近似する。

【数6】

※【数7】

★示すものとなる。なお、この場合、係数算出回路20₂はβ = 1 - α + α²/2となる係数βを算出することができれば、その構成は問われない。

【0023】このような構成を用いることによって、前述した第一実施例と同様に、係数exp(-α)を算出することが容易になり、α(カットオフ周波数fc)が連続的に変化しても、この変化に追従して係数を変化させることができるので、フィルタの特性をリアルタイムに変化させることができる。さらに、第一実施例と比較して周波数特性の再現性を向上させることができる。以下同様に、2次以上の近似を行う場合でも、近似された係数に対応して係数算出回路を乗算器と加算器とから構成することにより、1次LPFを実現することができる。

【0024】A-2-1: 双線形変換による1次LPF(1次近似)

上述した実施例では、s-z変換に標準z変換を用いた例について説明した。次に、s-z変換に双線形変換を用いた第三実施例について説明する。まず、式(A1)に双線形変換を施し、zの伝達関数に変換すると、

【数8】

.....(B1)

【数9】

$$H_a(z) = \frac{\alpha / (1 + \alpha)}{1 - \frac{1}{1 + \alpha} z^{-1}}$$

8
.....(B2)

【0025】さらに、式(B2)を近似することを考える。
一般に $1/(1+x)$ の関数を次式のような級数に*

*展開することができることは知られている。
【数10】

$$\frac{1}{1+x} = 1 - x + x^2 - \frac{2 \times 3}{3!} x^3 + \dots \dots \dots (B3)$$

xの値が十分小さいときには、式(A3)と同様に、式
(B3)の1次の項(第2項)だけを用いて近似すること※

※ができる。すなわち、
【数11】

$$\frac{1}{1+x} \approx 1 - x \dots \dots \dots (B4)$$

と近似することができる。

★きる程に小さいときには、式(B4)より、 $1/(1+\alpha) \approx 1 - \alpha$ と近似することができる。これを式(B2)に適用すると、次式を得ることができる。
【数12】

【0026】そして、式(A2)の場合と同様に、式(B2)における α が十分小さいとき、すなわち、カットオフ周波数 f_c がサンプリング周波数 F_s に対して無視で★

$$H_a(z) = \frac{\alpha / (1 + \alpha)}{1 - (1 - \alpha) z^{-1}} \dots \dots \dots (B5)$$

式(B5)において、分子の $1/(1+\alpha)$ の項はゲインを表しているので、省略しても大差はない。これによ

☆り、式(B5)は
【数13】

$$H_a(z) = \frac{\alpha}{1 - (1 - \alpha) z^{-1}} \dots \dots \dots (B6)$$

となり、式(A5)と同一になる。つまり、双線形変換を用いた場合でも、デジタルフィルタの構成は、図1に示すものと同一になり、この場合の係数算出回路20の構成も図2に示すものと同一になる。したがって、前述した第一実施例と同様に、係数の算出が容易になり、 α が連続的に変化しても、この変化に追従して係数を変化させることができるので、フィルタの特性をリアルタイ

◆ムに変化させることができる。

【0027】A-2-2：双線形変換による1次LPF(2次以上の近似)

次に、 $1/(1+\alpha)$ の値を2次近似した第四実施例について説明する。式(B3)の2次の項(第3項)までを用い、係数 $1/(1+\alpha)$ を次式のように近似する。

【数14】

$$\frac{1}{1+\alpha} \approx 1 - \alpha + \alpha^2 \dots \dots \dots (B7)$$

したがって、この場合の伝達関数 $H_a(z)$ は、次式のようになる。

*【数15】

$$H_a(z) = \frac{\alpha}{1 - (1 - \alpha + \alpha^2) z^{-1}} \dots \dots \dots (B8)$$

【0028】この実施例によるデジタルフィルタの構成は、図1に示すものと同じものになるが、係数算出回路20₁は図5に示す係数算出回路20₂に置き換わる。図5は、 $\beta = 1 - \alpha + \alpha^2$ なる係数 β を算出する係数算出回路20₂の一例である。この図では、係数算出回路20₂は加算器B₄、B₅と乗算器C₃とから構成される。

β を乗算器M₁(図1)に供給する。この結果、このデジタルフィルタの伝達関数は、式(B8)に示すものとなる。なお、この場合、係数算出回路20₂は $\beta = 1 - \alpha + \alpha^2$ となる係数 β を算出することができれば、その構成は問われない。

【0029】まず、 α は、加算器B₁の減算入力端(-)、乗算器C₃の一方の入力端、および乗算器C₄の他方の入力端に各々供給される。また、加算器B₄の加算入力端(+)には「1」が供給される。このため、加算器B₄の加算結果は $(1 - \alpha)$ となつて、加算器B₅の一方の入力端に供給される。一方、乗算器C₃において α^2 が演算され、加算器B₅の他方の入力端に供給される。そして、加算器B₅は、加算結果 $(1 - \alpha)$ と乗算結果 α^2 とを加算して、 $\beta = 1 - \alpha + \alpha^2$ なる係数

40 【0030】以下同様に、双線形変換を用いて2次以上の近似を行った1次LPFを実現することができる。したがって、前述した第二実施例と同様に、係数を算出することが容易になり、 α が連続的に変化しても、この変化に追従して係数を変化させることができるので、フィルタの特性をリアルタイムに変化させることができる。さらに、第三実施例と比較して周波数特性の再現性を向上させることができる。

【0031】B：2次LPF

上述した各実施例では簡単な1次LPFについて説明した。次に、やや複雑な例として、2次のLPFについて

説明する。周知のように、アナログフィルタを用いた2次LPFの伝達関数 $H_a(s)$ は、次式のようになる。*

$$H_a(s) = \frac{\alpha^2 q}{s^2 + \alpha q s + \alpha^2} \quad \dots\dots(C1)$$

この伝達関数 $H_a(s)$ に $s-z$ 変換を施して、伝達関数 $H_a(z)$ を求める。この $s-z$ 変換に、標準 z 変換、整合 z 変換、および双1次変換を用いた各実施例について各々説明する。

【0032】B-1：標準 z 変換による2次LPF ※

$$H_a(z) = \frac{2\alpha q \exp(-\alpha q/2) \sin(\alpha(1-q^2/4)^{1/2}) z^{-1} / (4-q^2)^{1/2}}{1 - 2\exp(-\alpha q/2) \cos(\alpha(1-q^2/4)^{1/2}) z^{-1} + \exp(-\alpha q) z^{-2}} \quad \dots\dots(C2)$$

となる。ここで、 q はレゾナンスを表す。

【0033】次に、式(C2)の z^{-1} の各係数に含まれる各関数を、級数展開の低次の項のみを用いて近似する。すなわち、

$$\exp(x) \approx 1 + x \quad \dots\dots(A4)$$

$$\sin(x) \approx x \quad \dots\dots(C3)$$

$$\star \cos(x) \approx 1 - x^2/6 \quad \dots\dots(C4)$$

を用いてこれら値を式(C2)に代入し、さらに、 $1/(4-q^2)^{1/2}$ を $1/2$ で近似すると、伝達関数 $H_a(z)$ は次式のようになる。

【数18】

$$H_a(z) = \frac{\alpha^2 q (1 - \alpha q/2) (1 - q^2/4)^{1/2} z^{-1}}{1 - 2(1 - \alpha q/2) (1 - \alpha (1 - q^2/4)^{1/2}/6) z^{-1} + (1 - \alpha q) z^{-2}} \quad \dots\dots(C5)$$

実際には、式(C5)の分母係数はゲイン項なので、 $\alpha^2 q$ に置き換えても大差はない（さらに、式(C5)は、ルートや割り算を級数展開することによって、簡単にすることができる）。

【0034】次に、伝達関数が式(C5)により示されるデジタルフィルタの構成について説明する。図6は、このデジタルフィルタの構成を示すブロック図である。この図に示すように、この実施例は2次の直接型IIRフィルタDF₂と係数算出回路21とから構成されている。係数算出回路21は、 α 、 q 、および数値から係数 $\beta_{11} \sim \beta_{13}$ を算出し、各々乗算器 $M_{11} \sim M_{13}$ に供給する。すなわち、 M_{11} の係数 β_{11} は式(C5)の分子における z^{-1} の係数（ルートは省略）、 M_{12} の係数 β_{12} は同式の分母における z^{-1} の係数、 M_{13} の係数 β_{13} は同式の分母における z^{-2} の係数である。そして、乗算器 $M_{11} \sim M_{13}$ の各々は、入力データに対し係数 $\beta_{11} \sim \beta_{13}$ を入力データ☆40

☆に乗算する。なお、この図における係数算出回路21の構成は一例であり、その構成が式(C5)によるものであれば、その構成は問われない。

【0035】この実施例のように、 $s-z$ 変換後の伝達関数がやや複雑であっても、各係数に様々な近似を施すことによって、乗算器 $M_{11} \sim M_{13}$ の乗算係数を簡単な乗除算のみによって行うことができる。したがって、2次LPFのような多少複雑なフィルタであっても、乗算係数の算出をテーブルを介することなく高速に行うことができるので、フィルタの周波数特性をリアルタイムに制御することができる。

【0036】B-2：整合 z 変換による2次LPF
次に、 $s-z$ 変換に整合 z 変換を用いた第六実施例について説明する。式(C1)に整合 z 変換を施し z の伝達関数にすると、

【数19】

$$H_a(z) = \frac{\alpha^2 q (1 + z^{-1}) / 2}{1 - 2\exp(-\alpha q/2) \cos(\alpha(1 - q^2/4)^{1/2}) z^{-1} + \exp(-\alpha q) z^{-2}} \quad \dots\dots(D1)$$

となる。式(A3)により \exp 関数を、式(C4)により◆のようになる。

\cos 関数を各々1次近似すると、式(D1)の分母は次◆ 【数20】

式(D1)の分母＝

$$1 + (\alpha q + \alpha^2 (1 - q^2/4) - 2) z^{-1} + (1 - \alpha q + \alpha^2 q^2/4) z^{-2} \quad \dots\dots(D2)$$

11

【0037】次に、この伝達関数のデジタルフィルタの構成について説明する。図7は、伝達関数の分子が式(D1)における分子で示され、分母が式(D2)で示されるデジタルフィルタの構成を示すブロック図である。この図に示すように、この実施例は、2次の直接型IIRフィルタDF₂と係数算出回路22とにより構成される。係数算出回路22は、複数の乗算器および加算器から構成され、係数 α 、 q 、および数値から係数 $\beta_{21} \sim \beta_{23}$ を演算し、乗算器 $M_{21} \sim M_{23}$ に各々供給する。乗算器 $M_{21} \sim M_{23}$ は、各々係数 $\beta_{21} \sim \beta_{23}$ に基づいて入力データを乗算する。これら係数 $\beta_{21} \sim \beta_{23}$ について説明すると、係数 β_{21} は式(D1)の分子における $(1+z^{-1})$ の係数、係数 β_{22} は式(D2)の分母における $(-z^{-1})$ の係数、係数 β_{23} は同式の分母における $(-z^{-2})$ の係数である。*

$$H_a(z) = \frac{\alpha^2 q (1+z^{-1})^2 / (4+2\alpha q + \alpha^2)}{1 - \frac{8+2\alpha^2}{4+2\alpha q + \alpha^2} z^{-1} + \frac{4-2\alpha q + \alpha^2}{4+2\alpha q + \alpha^2} z^{-2}} \quad \dots\dots(E1)$$

となる。この式の各項に含まれる $1/(4+2\alpha q + \alpha^2)$ ※似すると、
2)に着目し、これをテイラー展開して1次の項にて近 ※20 【数22】

$$\frac{1}{4+2\alpha q + \alpha^2} \approx 1 - \frac{2\alpha q + \alpha^2}{4} \quad \dots\dots(E2)$$

となる。これにより、式(E2)は次のような近似式とす ★【数23】
ることができる。

$$H_a(z) = \frac{\alpha^2 q (1+z^{-1})^2 (1 - (2\alpha q + \alpha^2)/4)}{1 - (8+2\alpha^2)(1 - (2\alpha q + \alpha^2)/4) z^{-1} + (4-2\alpha q + \alpha^2)(1 - (2\alpha q + \alpha^2)/4) z^{-2}} \quad \dots\dots(E3)$$

【0040】次に、伝達関数が式(E3)で示されるデジタルフィルタの構成について説明する。図8は、このデジタルフィルタの構成を示すブロック図である。この図に示すように、この実施例は2次の直接型IIRフィルタDF₄と係数算出回路23により構成される。係数算出回路23は、係数 α 、 q 、および各数値から係数 $\beta_{31} \sim \beta_{33}$ を演算し、各々乗算器 $M_{31} \sim M_{33}$ に供給する。乗算器 $M_{31} \sim M_{33}$ は、入力データに対して各々係数 $\beta_{31} \sim \beta_{33}$ を乗算し、乗算係数 M_{34} は入力データに対して係数「2」を乗算する。これら係数 $\beta_{31} \sim \beta_{33}$ について説明すると、係数 β_{31} は式(E3)の分子における $(1+z^{-1})^2$ の係数、係数 β_{32} は同式の分母における $(-z^{-1})$ の係数、係数 β_{33} は同式の分母における $(-z^{-2})$ の係数である。

【0041】この実施例では、第五および第六実施例と同様に、 $s-z$ 変換後の伝達関数がやや複雑であって ☆

$$H_a(s) = \frac{s}{s + \alpha} \quad \dots\dots(P1)$$

この式(F1)に標準 z 変換を施し、 z の伝達関数 $H_a(z)$ で表すと、次式のようなになる。 ◆

$$H_a(z) = \frac{1 - z^{-1}}{1 - \exp(-\alpha) z^{-1}} \quad \dots\dots(F2)$$

12

*これら係数に含まれる $1/2$ や $1/4$ 等はビットシフトによって実現することができるので、係数算出回路22は係数算出を簡単な演算のみで行うことができる。

【0038】この実施例でも、第五実施例と同様に、各係数に様々な近似を施すことによって、乗算器 $M_{21} \sim M_{23}$ の係数 $\beta_{21} \sim \beta_{23}$ を簡単な乗除算のみによって行うことができるので、係数 $\beta_{21} \sim \beta_{23}$ をテーブルを介することなく高速に算出することができる。したがって、フィルタの周波数特性をリアルタイムに制御することができる。

【0039】B-3：双1次変換による2次LPF
次に、 $s-z$ 変換に双1次変換を用いた第七実施例について説明する。式(C1)に双1次 z 変換を施し z の伝達関数にすると、

【数21】

☆も、各係数に様々な近似を施すことによって、係数 $\beta_{31} \sim \beta_{33}$ を簡単な乗除算のみによって算出することができる。したがって、乗算係数の算出をテーブルを介することなく高速に行うことができ、フィルタの周波数特性をリアルタイムに制御することができる。

【0042】上述した各実施例では、ローパスフィルタについて説明したが、同様な手法を他のフィルタ(HPF, BPF, BEFなど)にも用いることができる。そこで、次に、この手法を用いた1次HPFおよび2次MFP(Mid Frequency Presence)について説明する。

【0043】C：HPF(ハイパスフィルタ)

まず、1次HPFである第八実施例について説明する。周知のように、アナログフィルタを用いた1次HPFの伝達関数 $H_a(s)$ は、次式(F1)のようになる。

【数24】

◆【数25】

この式の $\exp(-\alpha)$ を、式 (A3) と同様に1次の項にて近似して、 $\exp(-\alpha) \approx 1-\alpha$ とすると、式

* (F3) は次のようになる。
【数26】

$$H_a(z) = \frac{1-z^{-1}}{1-(1-\alpha)z^{-1}}$$

.....(F3)

【0044】次に、伝達関数が式 (F3) により示されるデジタルフィルタの構成について説明する。図9の(1)、(2)はこのデジタルフィルタの構成を示すブロック図の一例である。同図(1)のデジタルフィルタにおいて、その入力信号は加算器H₁の加算入力端(+)に供給される。加算器H₁の加算結果は、このデジタルフィルタの出力信号として外部出力されるとともに、乗算器M₁において係数 α が乗算されて加算器H₂の一方の入力端に供給される。そして、加算器H₂の加算結果は遅延素子 z^{-1} の遅延入力端に供給される。さらに、遅延素子 z^{-1} の出力信号は、加算器H₁の減算入力端(-)および加算器H₂の他方の入力端に供給されて、帰還される。

【0045】また、同図(2)のデジタルフィルタにおいて、その入力信号は、加算器H₁の一方の入力端および加算器H₁の減算入力端(-)に供給される。さらに、加算器H₁の加算結果は遅延素子 z^{-1} の遅延入力端に供給される。遅延素子 z^{-1} の出力信号は加算器の他方の入力端に供給されて、このデジタルフィルタの入力信号と加算される。加算器H₁の加算結果は、このデジタルフィルタの出力信号として外部出力されるとともに、加算器H₁の一方の入力端および乗算器M₁の入力端に供給される。乗算器M₁はその入力信号を係数 α で*

※乗算し、加算器H₂の他方の入力端に供給する。そして、加算器H₂の加算結果は、加算器H₁の加算入力端(+)に供給される。

10 【0046】図9(1)あるいは(2)に示すデジタルフィルタの伝達関数は、いずれも式 (F3) により示され、乗算器M₁あるいはM₂の乗算係数をどちらも α とすることができる。したがって、係数算出を行う必要がなく、 α を乗算係数として直接的に供給することによって、フィルタの特性をリアルタイムに制御することができる。

【0047】D: 2次MFP

次に、他のフィルタの例として第九実施例である2次MFPについて説明する。図10は、一般的な2次MFPの周波数応答を示す特性図である。この図に示すように、K(K>1)はブースト量あるいはカット量を表す。また、 ω はブーストあるいはカットにおける角周波数である。

①ブースト

ブースト部分に対応するアナログの伝達関数は、次式のように表すことができる。

【0048】

【数27】

$$H_a(s) = \frac{s^2 + aqKs + a^2}{s^2 + aqs + a^2}$$

.....(G1)

【0049】そして、式 (G1) を整合 z 変換することにより、次式を得る。

★【0050】

★【数28】

$$H(z) = \frac{1 - 2\exp(-aTqK/2) \cos(aT(1-q^2K^2/4)^{1/2}) z^{-1} + \exp(-aTqK) z^{-2}}{1 - 2\exp(-aTq/2) \cos(aT(1-q^2/4)^{1/2}) z^{-1} + \exp(-aTq) z^{-2}}$$

.....(G2)

【0051】②カット

カット部分に対応するアナログの伝達関数は、次式のよう

40★【0052】

★【数29】

$$H_a(s) = \frac{s^2 + aqs + a^2}{s^2 + aqKs + a^2}$$

.....(G3)

【0053】同様に、式 (G3) を整合 z 変換することにより、次式を得る。

【0054】

【数30】

$$H(z) = \frac{1 - 2 \exp(-aTq/2) \cos(aT(1-q^2/4)^{1/2}) z^{-1} + \exp(-aTq) z^{-2}}{1 - 2 \exp(-aTqK/2) \cos(aT(1-q^2K^2/4)^{1/2}) z^{-1} + \exp(-aTqK) z^{-2}} \quad \dots\dots (G4)$$

【0055】そして、ブーストとカットとを合わせる *うになる。
と、すなわち、式(G2)と式(G4)とを合わせると、2 【0056】
次のMFPにおけるディジタルの伝達関数は、次式のよ* 【数31】

$$H(z) = \frac{1 - 2 \exp(-aTq_N/2) \cos(aT(1-q_N^2/4)^{1/2}) z^{-1} + \exp(-aTq_N) z^{-2}}{1 - 2 \exp(-aTq_D/2) \cos(aT(1-q_D^2/4)^{1/2}) z^{-1} + \exp(-aTq_D) z^{-2}} \quad \dots\dots (G5)$$

【0057】ここで、ブースト部分の係数を

$q_K = q_N$

$q = q_D$

に、カット部分の係数を

$q = q_N$

$q = q_D$

※に、各々置き換える。そして、式(G5)において、分母項、分子項は、ともに上述したLPFの同形であるので、次式のように近似することができる。

【0058】

20 【数32】

$$H(z) = \frac{1 - 2z^{-1} + (aTq_N + a^2T^2(1 - q_N^2/4))z^{-2}}{1 - 2z^{-1} + (aTq_D + a^2T^2(1 - q_D^2/4))z^{-2}} \quad \dots\dots (G6)$$

【0059】なお、この式の伝達関数で表せられるMFPフィルタの構成の説明については省略する。

【0060】以下同様に、アナログフィルタの伝達関数に対しs-z変換を施し、この変換された伝達関数の各係数を一個以上の多項式によって近似することにより、
様々なフィルタに対処することができる。

【0061】上述した実施例では、係数算出回路20~23がいずれもハードウェア(加算器、乗算器等)により構成されて、各乗算係数の算出を行うものであった。次に、ソフトウェアにより乗算係数算出する第十実施例を電子楽器に適用した場合について説明する。

E-1: 電子楽器の構成

まず、この電子楽器の構成について説明する。図11はこの電子楽器の構成を示すブロック図である。この図において、1は制御プログラムに基づき各種演算や処理等を行い、バスに接続された各部を制御するCPU(中央演算処理装置)、2はCPU1によって実行されるプログラムや各種データ等を記憶するROM(リードオンリメモリ)、3はプログラム用のワークエリア等を有し、各種のデータを一時記憶するRAM(ランダムアクセスメモリ)である。

【0062】4は複数の鍵によって構成される鍵盤である。この鍵盤4は、各鍵毎の押離や、押鍵速度等を検出する機構を有し、押離鍵および押鍵速度に対応した信号を生成して、鍵盤インターフェイス5に供給する。鍵盤

インターフェイス5は、鍵盤4から供給された各種信号に基づいて次に述べるような信号を生成する。すなわち、これらの信号は、押鍵に対応する信号キーオンKON、離鍵に対応する信号キーオフKOFF、押鍵に対応した音高を表す情報キーコードKC、押鍵速度に対応する情報イニシャルタッチIT等である。

【0063】6は各種設定を行うためのスイッチ等から構成された操作パネルである。操作パネル6では、出力すべき楽音の音色(ピアノ音や、オルガン音、ヴァイオリン音等)の選択や、フィルタ時変動処理をするか否かの設定、さらに、該処理を行う場合にフィルタ特性の基準となるカットオフ周波数fc、および目標となるカットオフ周波数fd等の設定が行われる。このフィルタ処理とは、図12に示すように、出力すべき楽音のカットオフ周波数を押鍵時から時間変化させるものであり、fcは押鍵直後のカットオフ周波数、fdは最終的なカットオフ周波数を各々示す。これらカットオフ周波数fdおよびfcはチャンネル毎に設定される。このような操作パネル6の設定情報は、パネルインターフェイス7に供給される。

【0064】パネルインターフェイス7は、操作パネルから供給された設定情報から、楽音信号の形成に必要な情報を生成して、バスに供給する。すなわち、これらの情報は、選択された音色に対応する情報を表す音色コードTCや、カットオフ周波数fc、fdに対応する情報

等である。8は時分割にて複数(第0~第15)チャンネルで動作する楽音合成回路部であり、各々のチャンネルは、前述の楽音信号の形成に必要な情報、すなわち、キーコードKC、音色コードTC、イニシャルタッチIT等の情報に基づく楽音信号を生成し、フィルタ部9に供給する。フィルタ部9は、その伝達関数が式(A7)に示すものであり、各チャンネルの楽音信号に対して、係数 α および β に基づくフィルタ処理を時分割かつリアルタイムで行う。10はD/A変換器や増幅器等から構成されるサウンドシステムであり、この出力信号はスピーカ11を介して電子楽器の楽音として出力される。

【0065】E-2:電子楽器の動作

次に、上述した構成による実施例の動作について、図13~図16を参照して説明する。なお、この動作説明では、CPU1にて実行される各ルーチン毎に分けて説明する。

【0066】E-2-1:メインルーチンの動作

はじめに、この電子楽器に電源が投入されると、CPU1は図13に示すメインルーチンの実行を開始し、該ルーチンのステップSa1を実行する。ステップSa1においてCPU1は、初期化処理を行って、RAM3内の各種レジスタのゼロリセットや、また、周辺回路の各種変数に初期設定値の書き込み等を行う。この初期化処理後、フローはステップSa2に進む。ステップSa2においてCPU1は、鍵盤4の各鍵を走査してこの押離鍵状態を検出し、次のステップSa3に進む。

【0067】ステップSa3において、CPU1は鍵盤4から鍵イベント(状態変化)の有無を判別する。ここで、押鍵等の鍵イベントが検出されると、判別結果が「YES」となり、次のステップSa4へ進む一方、鍵イベントが検出されない場合には、ここでの判別結果は「NO」となり、後述するステップSa8へ進む。ステップSa4においてCPU1は、鍵イベントの状態(KONあるいはKOFF)をレジスタKEVに、キーコードKCをレジスタKCに、そしてイニシャルタッチITをレジスタITに、各々の検出状態に対応した値を各レジスタに設定して、フローをステップSa5へ進める。

【0068】次に、ステップSa5においてCPU1は、レジスタKEVの内容がキーオンイベントKONに対応するものであるか否かを判別する。つまり、鍵イベントが押鍵に対応するものであるか否かが判別される。ここで、レジスタKEVの内容がキーオンイベントKONである場合には、判別結果が「YES」となり、ステップSa6に進んでキーオン(発音)処理が行われる一方、レジスタKEVの内容がキーオフイベントKOFFである場合には、判別結果が「NO」となり、ステップSa7に進んでキーオフ(消音)処理が行われる。なお、これらキーオン/キーオフ処理の詳細については後述する。そして、これら処理が終了すると、フローはステップSa8に進む。

【0069】ステップSa8においてCPU1は操作パネル6の各スイッチを走査して、これらスイッチによる設定状態を検出し、フローをステップSa9へ進める。ステップSa9では、この設定状態からCPU1はパネルイベントの有無を判別する。ここで、パネルイベントが検出されると、判別結果が「YES」となり、次のステップSa10へ進む一方、パネルイベントが検出されない場合には、ここでの判別結果は「NO」となり、後述するステップSa13へ進む。

【0070】さらに、ステップSa10において、CPU1はステップSa9にて検出されたパネルイベントがフィルタパラメータの操作であるか否かの判別を行う。パネルイベントがフィルタパラメータの操作である場合には、判別結果が「YES」となり、次のステップSa11に進み、CPU1は、RAM3内のレジスタにフィルタパラメータの設定値を書き込んで、ステップSa13に進む。一方、パネルイベントがフィルタパラメータの操作でない場合には、判別結果が「NO」となり、ステップSa12に進み、CPU1は、RAM3内のレジスタに操作パネル4の設定値、例えば、音色の設定値や効果の設定値を書き込んで、ステップSa13に進む。

【0071】次に、ステップSa13において、CPU1はフィルタ時変動処理を行う。この処理は、楽音合成回路部8の各チャンネルにより生成された楽音信号に対してフィルタ部9の各係数等を設定するもので、詳細については後述する。該処理完了後には前述したステップSa2に戻り、電源が切断されるまでステップSa2~ステップSa13の一連の処理が繰り返し実行される。このように、メインルーチンでは、CPU1が各種イベントに対応した楽音信号を生成するように指示動作する。

【0072】E-2-2:キーオン処理ルーチンの動作
CPU1は、そのフローが前述したステップSa6に進むと、図14に示すキーオン処理ルーチンを実行し、該ルーチンをステップSb1に進める。このルーチンでは、大別すると次の処理がなされる。すなわち、楽音信号を生成させるチャンネルが割り当てられ、該チャンネルの状態が設定される。このチャンネルに各情報が供給されて、楽音信号の生成が開始される。さらに、フィルタ特性に関する情報がフィルタ部9に供給される。以下、これらについて説明する。

【0073】まず、ステップSb1に進むと、CPU1は、楽音合成回路部8の割当可能な空きチャンネルを第0チャンネルから第15チャンネルまで順次サーチし、ステップSb2に進む。ここで、空きチャンネルとは、発音待機の状態となっているものを指している。ステップSb2においてCPU1は、ステップSb1において空きチャンネルがサーチされたか否かを判別する。空きチャンネルがサーチされた場合には、この判別結果が「YES」となり、後述のステップSb4に進む一方、

空きチャンネルがサーチされない場合、すなわち、第0～15チャンネルの全てが何らかの形で発音中の場合、判別結果が「NO」となり、ステップSb3に進む。

【0074】ステップSb3では、CPU1はエンベロープ波形の振幅が最も小さい発音チャンネル、すなわち、最も減衰が進んでいるチャンネルを選択し、これを強制的に発音停止させて「空きチャンネル」とするトランケート処理を実行し、次のステップSb4を実行する。

【0075】次に、ステップSb4においてCPU1は、上述したステップSb2において検出された空きチャンネルの番号、またはステップSb3のトランケート処理による空きチャンネルの番号をレジスタCHに書き込み、ステップSb5へ進む。ステップSb5においてCPU1は、レジスタCHに書き込まれた番号に該当する楽音合成回路部8の各チャンネルに対して、キーコードKC、音色コードTC、およびキーオン信号KONを出力する。これにより、該当するチャンネルは、これら情報に基づいた楽音信号を生成して、CPU1の処理はステップSb6に進む。

【0076】次に、ステップSb6においてCPU1は、フラグFEの値が「1」であるか否かを判別する。ここで、フラグFEは、後述するフィルタ時変動処理を行うか否かによってその値が変化するものであり、値が「1」の場合に該処理が行われる。また、フィルタ時変動処理を行うか否かの設定は、図11における操作パネル6によって行われる。フラグFEの値が「1」である場合には、判別結果が「YES」となり、処理手順はステップSb7に進む一方、フラグFEの値が「1」でない場合には、判別結果が「NO」となり、このキーオン処理ルーチンは終了し、前述のメインルーチンにおけるステップSa8に戻る。

【0077】次に、CPU1は、ステップSb7において対応するチャンネルのフィルタ時変動処理要求フラグFM[CH]の値を「1」にセットし、引き続き、ステップSb8において、基準となるカットオフ周波数fcをキーコードKCによりスケーリングしたものをレジスタFC[CH]にセットし、さらに、ステップSb9において、目標となるカットオフ周波数fdをキーコードKCによりスケーリングしたものをレジスタFD[CH]にセ

ットして、このキーオン処理ルーチンを終了させる。

【0078】E-2-3：キーオフ処理ルーチンの動作
CPU1は、その処理が前述したステップSa7（図13参照）に進むと、図15に示すキーオフ処理ルーチンを実行し、該ルーチンのステップSc1に処理を進める。ステップSc1においてCPU1は、キーオン処理時に割り当てられたチャンネルが発音中か否かを判別する。発音中であれば、判別結果が「YES」となり、次のステップSc2に進む一方、発音中でなければ、トランケート処理等によって強制的に消音されたことを示す

ので、このキーオフ処理ルーチンを終了させる。

【0079】次に、CPU1は、ステップSc2において該チャンネルにキーオフKOFF信号を供給して楽音信号の生成を停止（消音）させ、引き続き、ステップSc3において、該チャンネルのフィルタ時変動処理要求フラグFM[CH]を0にセットし、このキーオフ処理ルーチンを終了させて、メインルーチン（図13参照）におけるステップSa8に戻る。

【0080】E-2-4：フィルタ時変動処理ルーチンの動作

CPU1は、その処理が前述したステップSa13（図13参照）に進むと、図16に示すフィルタ時変動処理ルーチンを実行し、該ルーチンのステップSd1に処理を進める。このフィルタ時変動処理ルーチンでは、まず、フラグFEの値が「1」であるか否かの判別が行われ、次に、第0～第15までの各々のチャンネルに対して、フィルタ時変動処理要求フラグFM[CH]の値が判別され、さらに、このフラグFEが「1」であるチャンネルに対して、各々フィルタ時変動処理が行われる。

【0081】まず、ステップSd1においてCPU1は、フラグFEの値が「1」であるか否か、すなわち、フィルタ時変動処理を行うか否かを判別する。フラグFEの値が「1」である場合には、判別結果が「YES」となり、フィルタ時変動処理を行うとみなして、ステップSd2に進む一方、フラグFEの値が「1」でない場合には、判別結果が「NO」となり、フィルタ時変動処理を行わないものとみなして、このフィルタ時変動処理ルーチンを終了させる。

【0082】次に、CPU1は、ステップSd2において、レジスタCHの値を「0」にセットし、引き続き、ステップSd3において、レジスタCHの値に対応するチャンネルのフィルタ時変動処理要求フラグFM[CH]の値が「1」であるか否かを判別する。このフラグFMの値が「1」である場合には、判別結果が「YES」となり、次のステップSd4に進む一方、フラグFMの値が「1」でない場合には、判別結果が「NO」となり、後述するステップSd11に進む。

【0083】ステップSd4においてCPU1は、レジスタFDの値とレジスタFCの値との差に係数Kを乗じ、さらに、レジスタFCの値を加算したものを、レジスタFCの新たな値としてセットし、ステップSd5に進む。ステップSd5においてCPU1は、レジスタFDの値とレジスタFCの値との差が一定値C以下であるか否かを判別する。この差が一定値C以下である場合には、判別結果が「YES」となり、次のステップSd6に進む一方、この差が一定値C以下でない場合には、判別結果が「NO」となり、後述のステップSd8に進む。

【0084】ステップSd6においてCPU1は、レジスタFDの値をレジスタFCの値としてセットし、引き

21

続き、ステップSd7において、レジスタCHの値に対応するチャンネルのフィルタ時変動処理要求フラグFM[CH]の値を「0」にセットし、ステップSd8に進む。

【0085】ステップSd8においてCPU1は、レジスタFCの値に $2\pi/Fs$ (Fs はサンプリング周波数を表す)を乗じたものを係数 α としてセットし、ステップSd9に進む。さらに、ステップSd9においてCPU1は $(1-\alpha+\alpha^2/2)$ の値を係数 β としてセットし、ステップSd10に進む。ステップSd10においてCPU1は、係数 α および係数 β をフィルタ部9に供給する。これにより、フィルタ部4は、レジスタCHの値に対応するチャンネルの楽音信号に対して係数 α および係数 β に基づくフィルタ時変動処理を行う。

【0086】次に、ステップSd11においてCPU1は、次のチャンネルに対してフィルタ時変動処理をすべくレジスタCHの値を1インクリメントして、ステップSd12に進む。ステップSd12においてCPU1は、レジスタCHの値が楽音合成回路部8における最大チャンネル数CHMAXの値を越えたか否かを判別する。レジスタCHの値が最大チャンネル数CHMAXを越えた場合、すなわち、第0～第15チャンネルのすべてに対しステップSd3～Sd11の処理がなされた場合には、この判別結果が「YES」となり、CPU1はこのフィルタ時変動処理ルーチンを終了させる。一方、レジスタCHの値が最大チャンネル数CHMAXを越えない場合、すなわち、第0～第15チャンネルのすべてに対しステップSd3～Sd11の処理がなされていない場合には、判別結果が「NO」となり、前述したステップSd3に再び戻る。このようにして、上述した動作を第0～第15までの各々のチャンネルに対して繰り返した後に、処理は前述のメインルーチンにおけるステップSa2に戻る。

【0087】この実施例によれば、s-z変換直後の伝達関数の係数計算が複雑であっても、この計算式を簡単な乗除算にて近似することによって、ソフトウェアによるCPU1の計算によってフィルタ係数 α 、 β を容易に算出することができる。したがって、押鍵直後の楽音信号におけるカットオフ周波数 f_c を、目標値である最終的なカットオフ周波数 f_d へとリアルタイムに変化させることができる。

【0088】

【発明の効果】以上説明したこの発明によれば、フィル

22

タの特性と非線形な関係にある係数を、一個以上の多項式に近似して演算することによって、複雑な関数計算を行う必要のない、また、予め非線形関数を格納したテーブルを用意して置く必要のないデジタルフィルタを提供することができる。

【図面の簡単な説明】

【図1】 この発明による第一実施例の構成を示すブロック図である。

【図2】 $\beta = 1 - \alpha$ である係数算出回路20₁の構成を示すブロック図の一例である。

【図3】 伝達関数が式(A5)により示されるデジタルフィルタの構成を示すブロック図の一例である。

【図4】 $\beta = 1 - \alpha + \alpha^2/2$ である係数算出回路20₂の構成を示すブロック図の一例である。

【図5】 $\beta = 1 - \alpha + \alpha^2$ である係数算出回路20₃の構成を示すブロック図の一例である。

【図6】 伝達関数が式(C5)により示されるデジタルフィルタの構成を示すブロック図である。

【図7】 伝達関数の分子が式(D1)の分子により示され、伝達関数の分母が式(D2)により示されるデジタルフィルタの構成を示すブロック図である。

【図8】 伝達関数が式(E3)により示されるデジタルフィルタの構成を示すブロック図である。

【図9】 伝達関数が式(F3)により示されるデジタルフィルタの構成を示すブロック図の一例である。

【図10】 一般的な2次MFPの周波数応答を示す特性図である。

【図11】 第九実施例である電子楽器の構成を示すブロック図である。

【図12】 フィルタ時変動処理による周波数特性の変化を示す説明図である。

【図13】 電子楽器のメインルーチンの動作を示すフローチャートである。

【図14】 同実施例におけるキーオン処理ルーチンの動作を示すフローチャートである。

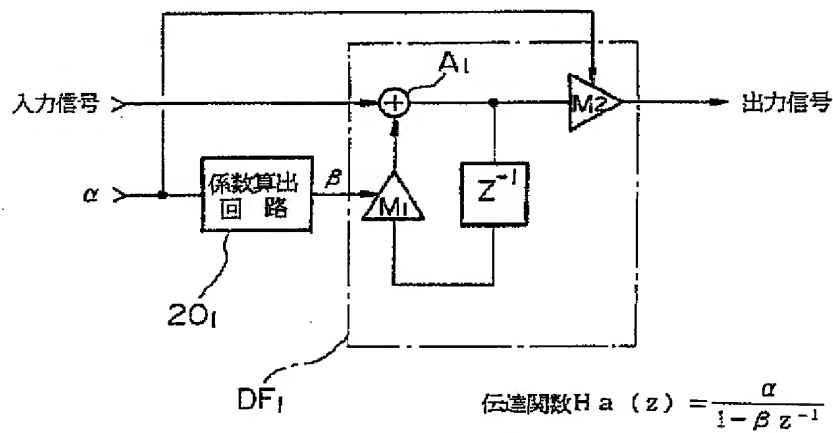
【図15】 同実施例におけるキーオフ処理ルーチンの動作を示すフローチャートである。

【図16】 同実施例におけるフィルタ時変動処理ルーチンの動作を示すフローチャートである。

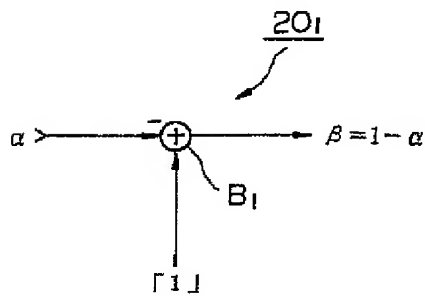
【符号の説明】

A、H……加算器、M……乗算器、 z^{-1} ……遅延素子、20～23……係数算出回路

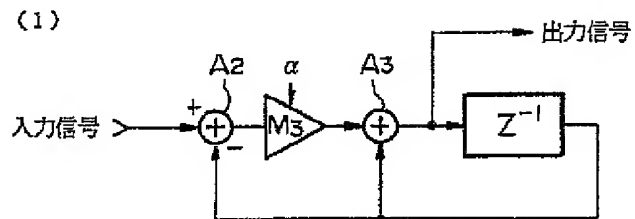
【図1】



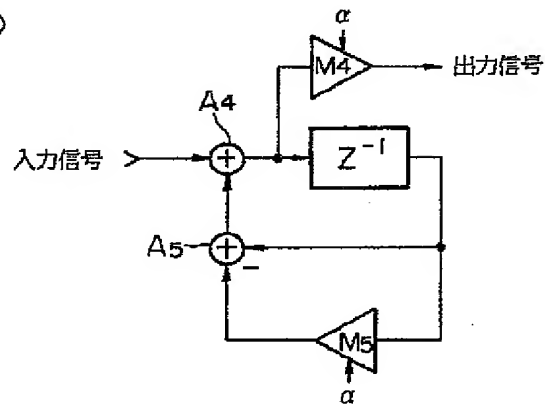
【図2】



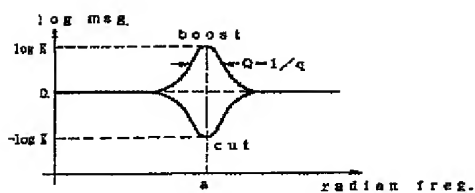
【図3】



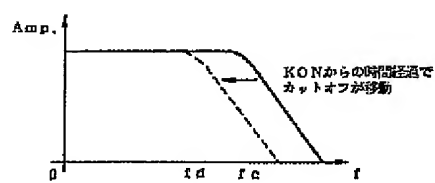
(2)



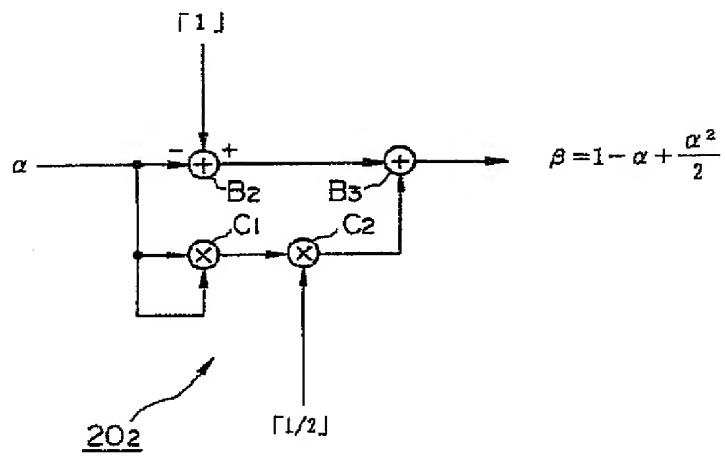
【図10】



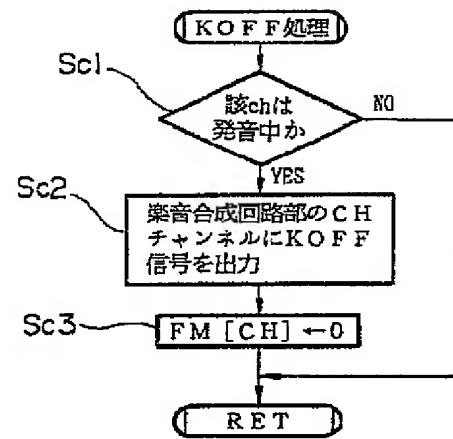
【図12】



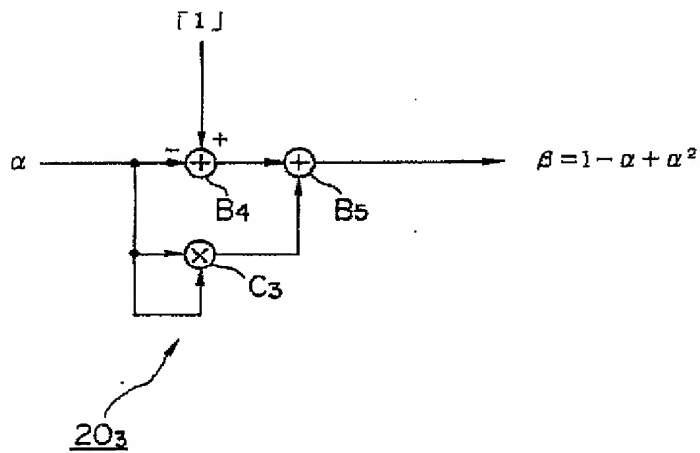
【図4】



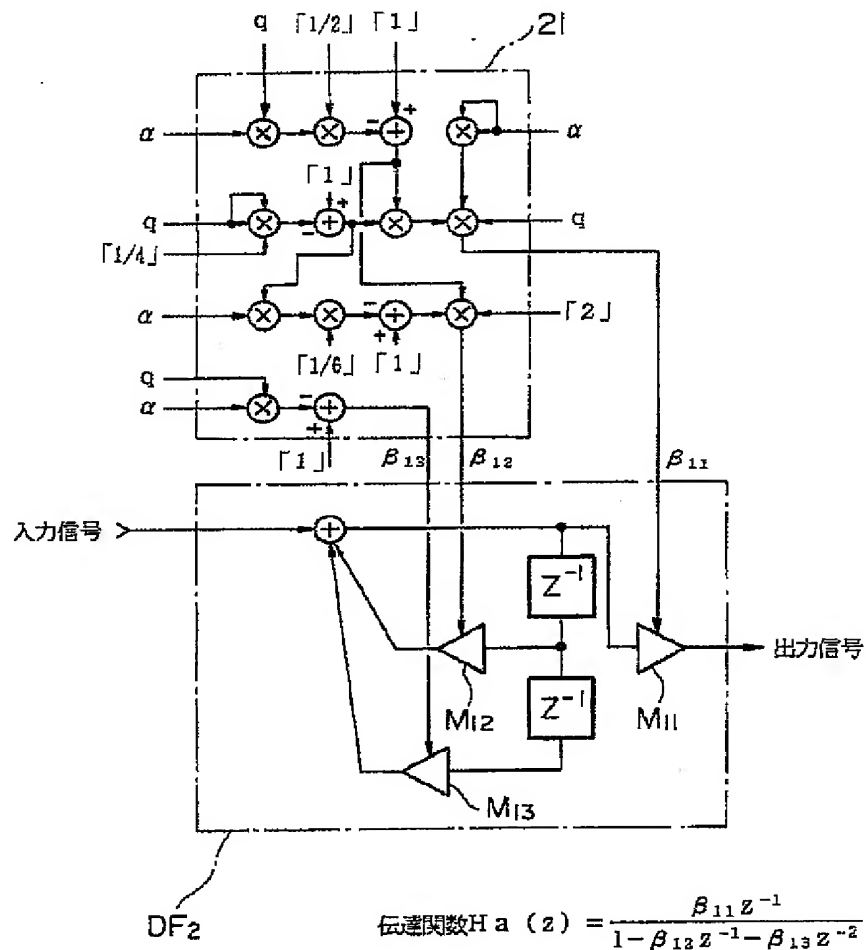
【図15】



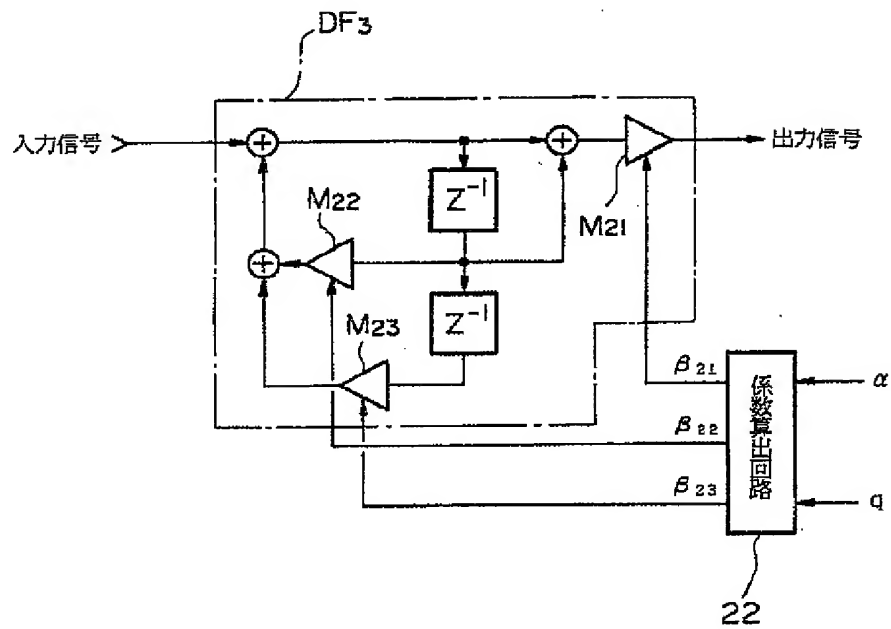
【図5】



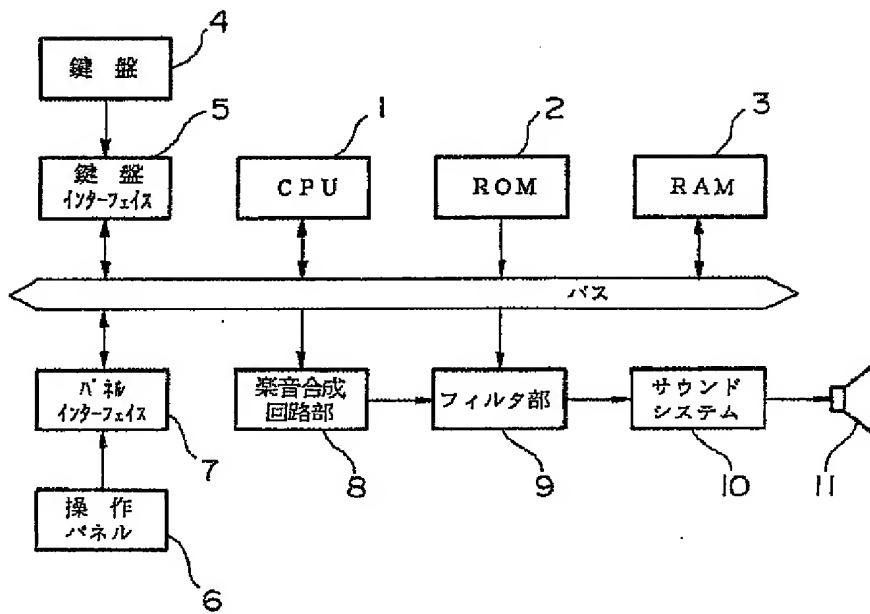
【図6】



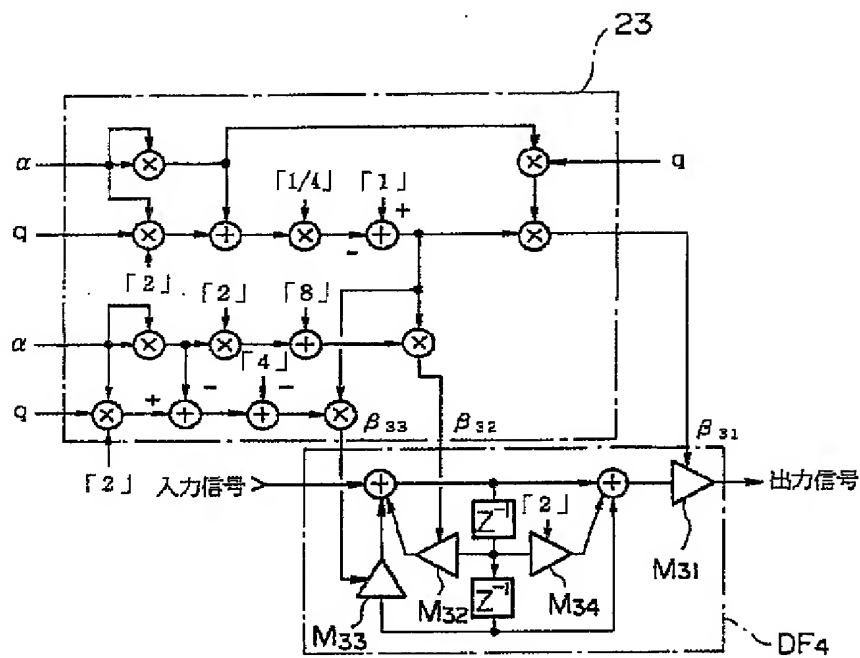
【図7】



【図11】



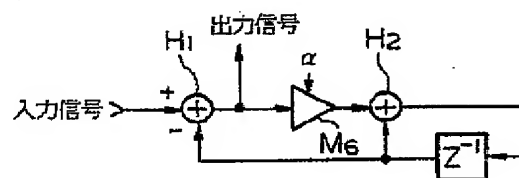
【図8】



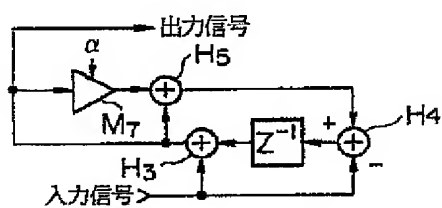
$$\text{伝達関数 } H_a(z) = \frac{\beta_{31} (1 + z^{-1})^2}{1 - \beta_{32} z^{-1} - \beta_{33} z^{-2}}$$

【図9】

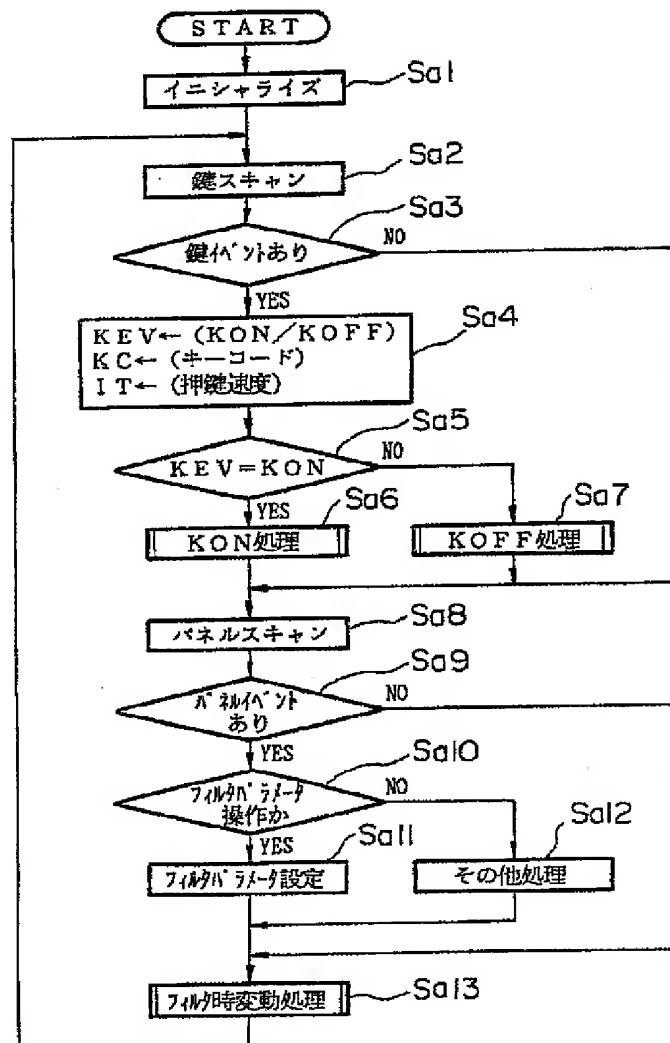
(1)



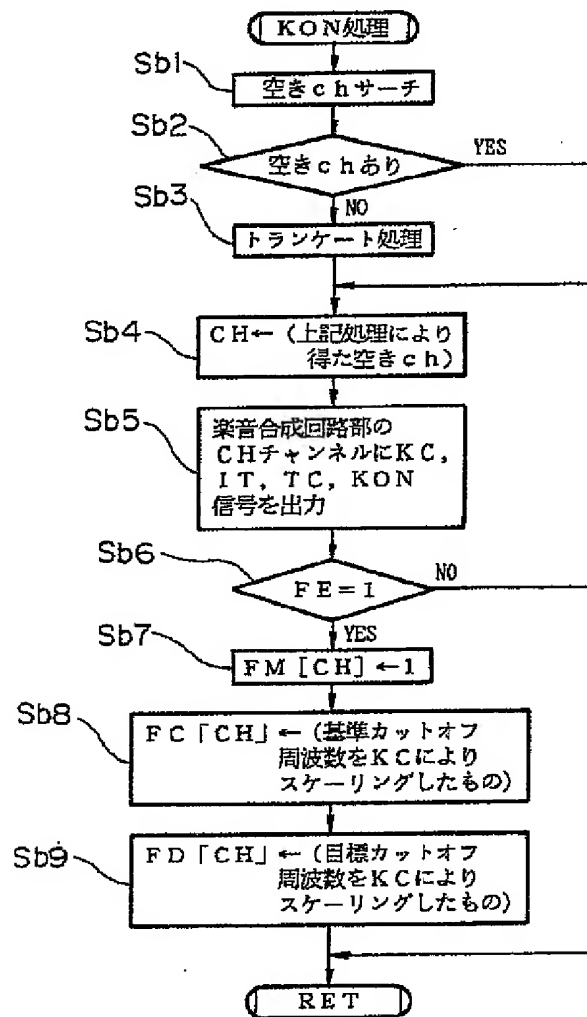
(2)



【図13】



【図14】



【図16】

